

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 2004014696  
PUBLICATION DATE : 15-01-04

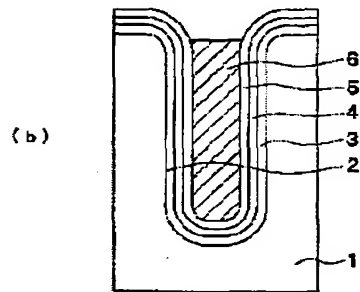
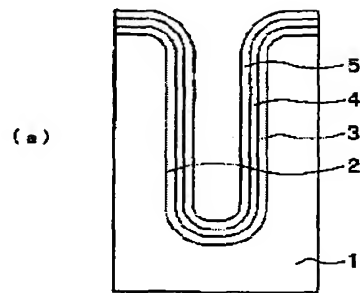
APPLICATION DATE : 05-06-02  
APPLICATION NUMBER : 2002164396

APPLICANT : DENSO CORP;

INVENTOR : SAKAKIBARA JUN;

INT.CL. : H01L 29/78 H01L 21/316

TITLE : METHOD OF MANUFACTURING  
SEMICONDUCTOR DEVICE



1: 基板  
2: トレンチ  
3: CVD 酸化膜  
4: 窒化膜  
5: 熱酸化膜  
6: ゲート電極

ABSTRACT : PROBLEM TO BE SOLVED: To form a gate insulation film having a thermal oxide film with a uniform film thickness.

SOLUTION: A CVD oxidation film 3 is formed on the surface of a substrate 1 without directly forming the thermal oxide film on the surface of the substrate 1. Then a nitride film 4 is deposited on the CVD oxide film 3. A thermal oxide film 5 is formed on the nitride film 4 by conducting heat treatment under an oxidation atmosphere. Thus, the gate insulation film having the thermal oxide film 5 with a uniform film thickness can be formed.

COPYRIGHT: (C)2004,JPO

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-14696

(P2004-14696A)

(43) 公開日 平成16年1月15日(2004.1.15)

(51) Int. Cl. <sup>7</sup>H01L 29/78  
H01L 21/316

F I

H01L 29/78 3O1G  
H01L 21/316 M  
H01L 29/78 3O1V

テーマコード (参考)

5F058  
5F140

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号 特願2002-164396 (P2002-164396)  
(22) 出願日 平成14年6月5日 (2002.6.5)(71) 出願人 000004260  
株式会社デンソー  
愛知県刈谷市昭和町1丁目1番地  
(74) 代理人 100100022  
弁理士 伊藤 洋二  
(74) 代理人 100108198  
弁理士 三浦 高広  
(74) 代理人 100111578  
弁理士 水野 史博  
(72) 発明者 柴田 巧  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内  
(72) 発明者 榊原 純  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

最終頁に続く

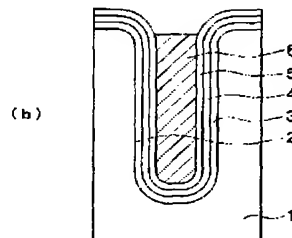
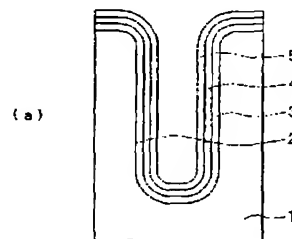
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ゲート絶縁膜の形成において、均一な膜厚の熱酸化膜を形成する。

【解決手段】 基板1表面上に直接、熱酸化膜を形成するのではなく、基板1表面上に、CVD酸化膜3を形成する。そして、このCVD酸化膜3上に窒化膜4を堆積させる。その後、酸化雰囲気中にて、熱処理をすることで、窒化膜4上に熱酸化膜5を形成する。これにより、均一な膜厚の熱酸化膜5を有するゲート絶縁膜を形成することができる。

【選択図】 図3

1: 基板  
2: トレンチ  
3: CVD酸化膜  
4: 窒化膜  
5: 熱酸化膜  
6: ゲート電極

## 【特許請求の範囲】

## 【請求項 1】

半導体基板上にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上にゲート電極を形成する工程とを有する半導体装置の製造方法において、  
前記ゲート絶縁膜を形成する工程は、基板表面に直接、CVD酸化膜を形成し、該CVD酸化膜上に窒化膜を堆積させ、該窒化膜の表層側を熱酸化することによって、前記窒化膜上に熱酸化膜を形成することを特徴とする半導体装置の製造方法。

## 【請求項 2】

半導体基板(1)にトレンチ(2)を形成する工程と、  
前記トレンチ(2)内壁上にゲート絶縁膜(3、4、5)を形成する工程と、  
前記ゲート絶縁膜(3、4、5)上にゲート電極(6)を形成する工程とを有する半導体装置の製造方法において、  
前記ゲート絶縁膜(3、4、5)を形成する工程は、前記トレンチ(2)内壁に直接、CVD酸化膜(3)を形成し、該CVD酸化膜(3)上に窒化膜(4)を堆積させ、該窒化膜(4)の表層側を熱酸化することによって、前記窒化膜(4)上に熱酸化膜(5)を形成することを特徴とする半導体装置の製造方法。

## 【請求項 3】

前記トレンチ(2)のアスペクト比は30以上であることを特徴とする請求項2に記載の半導体装置の製造方法。

## 【請求項 4】

半導体基板上にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上にゲート電極を形成する工程とを有する半導体装置の製造方法において、  
前記ゲート絶縁膜を形成する工程は、基板表面に直接、酸化されることが出来る材料を堆積し、該材料を熱酸化することによって、熱酸化膜を形成することを特徴とする半導体装置の製造方法。

## 【請求項 5】

半導体基板(1)にトレンチ(2)を形成する工程と、  
前記トレンチ(2)内壁上にゲート絶縁膜(12)を形成する工程と、  
前記ゲート絶縁膜(12)上にゲート電極(6)を形成する工程とを有する半導体装置の製造方法において、  
前記ゲート絶縁膜(12)を形成する工程は、前記トレンチ(2)内壁に直接、酸化されることが出来る材料(11)を堆積し、該材料(11)を熱酸化することによって、前記トレンチ(2)内壁上に熱酸化膜(12)を形成することを特徴とする半導体装置の製造方法。

## 【請求項 6】

前記トレンチ(2)のアスペクト比は30以上であることを特徴とする請求項5に記載の半導体装置の製造方法。

## 【請求項 7】

前記ゲート絶縁膜を形成する工程は、前記酸化されることが出来る材料(11)の表層側を熱酸化し、前記酸化されることが出来る材料(11)上に熱酸化膜(12)を形成することを特徴とする請求項4乃至6のいずれか1つに記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、ゲート電極を有する半導体装置の製造方法に関するものである。

## 【0002】

## 【従来の技術】

従来、ゲート電極を有する半導体装置は、半導体基板表面にゲート絶縁膜が形成され、そのゲート酸化膜上にゲート電極が形成される。このうち、ゲート絶縁膜として、熱酸化膜

10

20

30

40

50

を形成する方法として、基板表面を熱酸化すること、基板表面上に直接熱酸化膜を形成する方法や、特開2001-85686号公報に示されるように、基板表面に直接熱酸化膜を形成し、その熱酸化膜上にCVD酸化膜を形成する方法等がある。

【0003】

従来、基板表面に直接熱酸化膜を形成する際には、パーティクルの存在が問題となっていた。このパーティクルは、半導体装置の製造工程中にて、例えば、エッチングや洗浄等により、発生する。上記した熱酸化膜のみを形成する方法では、基板表面のうち、パーティクルが存在している領域では、熱酸化膜が形成されないため、Aモード不良（初期不良）となってしまう。

【0004】

この対策として、従来では、熱酸化膜を形成する前に、基板表面の洗浄、エッチング、及び犠牲酸化等を行うことで、パーティクルを除去していた。

【0005】

【発明が解決しようとする課題】

しかしながら、パーティクルを除去する工程を行っても、パーティクルが残ってしまった場合には、Aモード不良（初期不良）が発生してしまう。

【0006】

また、熱酸化膜上にCVD酸化膜を形成する方法では、基板表面にパーティクルが存在していても、パーティクル上にCVD酸化膜が形成されるので、Aモード不良は抑制される。しかしながら、パーティクル上には、CVD酸化膜しか形成されていないので、ゲート耐圧が低下してしまう。

【0007】

トレンチゲートを有する半導体装置にて、ゲート絶縁膜として熱酸化膜13を形成した場合、図7(a)に示すように、パーティクルが存在すると、その領域では熱酸化膜が形成されず、Aモード不良が発生してしまう。

【0008】

また、トレンチ2の内壁には複数の面方位が存在する。一般的に、シリコンを熱酸化したとき、酸化速度はシリコンの面方位によって異なることが知られている。このため、ゲート絶縁膜として、単に熱酸化膜だけを形成した場合では、パーティクルが除去されても、図7(b)に示すように、例えば、トレンチ2の側壁と結晶面が異なるコーナー部において、局所的な薄膜化が発生してしまう。なお、図7(a)はトレンチゲートの断面を示しており、図7(b)は(a)中のコーナー部の拡大図を示している。

【0009】

同様に、図8(a)に、熱酸化膜14の上にCVD酸化膜15を形成したときのトレンチゲートの断面図を示し、図8(b)に(a)中のコーナー部の拡大図を示す。トレンチゲートを有する半導体装置において、トレンチ2の内壁上に熱酸化膜14を形成し、その上にCVD酸化膜15を形成する方法でも、図8(a)に示すように、パーティクルが存在している場合、パーティクル上にはCVD酸化膜15しか形成されない。したがって、ゲート耐圧が低下してしまう。

【0010】

また、図8(b)に示すように、コーナー部にて局所的に薄膜化している熱酸化膜14の上にCVD酸化膜15が形成されている。このため、CVD酸化膜15自体の膜厚が均一であっても、熱酸化膜14とCVD酸化膜15とを合わせた膜厚は、均一とはならない。したがって、形成されたゲート絶縁膜には、膜厚が部分的に薄いところが存在することから、ゲート耐圧が低下してしまう。

【0011】

このように、ゲート絶縁膜として、熱酸化膜を基板表面に直接形成した場合に、上記した問題が発生してしまう。そこで、ゲート絶縁膜をCVD酸化膜のみで形成する方法が考えられ、これによれば、パーティクルやトレンチ内壁の面方位に影響されずに均一な膜厚のゲート絶縁膜が得られる。しかしながら、一般的に、熱酸化膜は、CVD酸化膜に比べて

10

20

30

40

50

、膜質が良いことが知られている。このため、ゲート絶縁膜として、熱酸化膜を用いることが望ましい。

【0012】

本発明は上記点に鑑みて、ゲート絶縁膜として熱酸化膜を形成する際に、パーティクルの存在に影響されずに熱酸化膜を形成することができる半導体装置の製造方法を提供することを目的とする。また、面方位の影響を受けることなく、均一な膜厚となる熱酸化膜を形成することができるトレンチゲートを有する半導体装置の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明では、ゲート絶縁膜を形成する工程は、基板表面に直接、CVD酸化膜を形成し、CVD酸化膜上に窒化膜を堆積させ、窒化膜の表層側を熱酸化すること、窒化膜上に熱酸化膜を形成することを特徴としている。

【0014】

本発明によれば、パーティクルが存在していても、パーティクル上にそれぞれ均一な膜厚であるCVD酸化膜及び窒化膜が順に形成され、窒化膜上に熱酸化膜が形成される。このため、パーティクルの影響を受けることなく、熱酸化膜を形成することができる。したがって、熱酸化膜の膜厚を均一にすることができる。

【0015】

これにより、ONO膜から構成され、均一な膜厚であるゲート絶縁膜を形成することができる。

【0016】

また、請求項2に記載の発明では、ゲート絶縁膜(3、4、5)を形成する工程は、トレンチ(2)内壁に直接、CVD酸化膜(3)を形成し、CVD酸化膜(3)上に窒化膜(4)を堆積させ、窒化膜(4)の表層側を熱酸化すること、窒化膜(4)上に熱酸化膜(5)を形成することを特徴としている。

【0017】

このように、トレンチゲートを有する半導体装置の製造においても、請求項1の発明を適用することができる。

【0018】

請求項3に示すように、トレンチ(2)のアスペクト比が30以上であるトレンチゲートを有する半導体装置においても、請求項2の方法によれば、膜厚が均一である熱酸化膜を有するゲート絶縁膜を形成することができる。

【0019】

請求項4に記載の発明では、ゲート絶縁膜を形成する工程にて、基板表面に直接、酸化されることができる材料を堆積し、この材料を熱酸化すること、熱酸化膜を形成することを特徴としている。

【0020】

本発明によれば、パーティクルが存在していても、パーティクル上に酸化されることができる材料が形成され、この材料が熱酸化されること、熱酸化膜が形成される。このため、パーティクルの影響を受けることなく、熱酸化膜を形成することができる。したがって、熱酸化膜の膜厚を均一にすることができる。

【0021】

なお、酸化させることができる材料としては、例えば、多結晶シリコン、アモルファスシリコンを用いることができる。この場合では、この材料を全て熱酸化すること、熱酸化膜を形成することができる。また、酸化させることができる材料として、例えば、窒化膜を用いることもできる。この場合でも、この材料を全部熱酸化することができる。また、請求項7に示すように、この材料の表層側を熱酸化すること、この材料上に熱酸化膜を形成することもできる。

【0022】

また、請求項5に示すように、トレンチゲートを有する半導体装置の製造方法においても、ゲート絶縁膜(12)を形成する工程にて、トレンチ(2)内壁に直接、酸化されることのできる材料(11)を堆積し、この材料(11)を熱酸化することによって、トレンチ(2)内壁上に熱酸化膜(12)を形成することができる。

【0023】

これにより、面方位の影響を受けることなく、ゲート絶縁膜として、均一な膜厚である熱酸化膜を形成することができる。また、本発明においても、請求項4と同様に、パーティクルの影響を受けることなく、熱酸化膜を形成することができる。

【0024】

なお、酸化させることができる材料としては、例えば、多結晶シリコン、アモルファスシリコンを用いることができる。この場合では、この材料を全て熱酸化することによって熱酸化膜を形成することができる。また、酸化させることができる材料として、例えば、窒化膜を用いることもできる。この場合でも、この材料を全部熱酸化することによって、また、請求項7に示すように、この材料の表層側を熱酸化することによって、この材料上に熱酸化膜を形成することもできる。

【0025】

また、請求項6に示すように、トレンチ(2)のアスペクト比が30以上であるトレンチゲートを有する半導体装置においても、請求項5の方法によれば、膜厚が均一である熱酸化膜を有するゲート絶縁膜を形成することができる。

【0026】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0027】

【発明の実施の形態】

(第1実施形態)

図1～図3に本発明を適用した第1実施形態における半導体装置の製造工程を示す。

【0028】

本実施形態では、トレンチゲート構造を有する半導体装置を例として説明する。本実施形態におけるトレンチゲートは、図3(b)に示されるように、シリコン基板1に形成されたトレンチ2の内壁上に、CVD酸化膜3、窒化膜4、熱酸化膜5が積層されたONO膜が形成されている。このONO膜がゲート絶縁膜であり、このゲート絶縁膜上にゲート電極6が形成されている。

【0029】

次に、この半導体装置の製造方法を説明する。

【0030】

〔図1に示す工程〕

まず、シリコン基板1を用意する。基板1上に、図示しないが、酸化膜を形成し、この酸化膜をパターニングする。そして、この酸化膜をマスクとして、異方性エッチングを行い、基板1上にトレンチ2を形成する。なお、トレンチ2のトレンチ幅及び深さは、それぞれ例えば0.8 $\mu$ m、30 $\mu$ mとする。

【0031】

このようにトレンチエッチングを行った後、例えば、CDE(ケミカルドライエッチング)による等方性エッチングや犠牲酸化を行う。これにより、トレンチ2コーナー部を丸め、また、トレンチ2側壁を平坦化させる。

【0032】

〔図2(a)に示す工程〕

次に、トレンチ内壁上にCVD酸化膜( $\text{SiO}_2$ )3を堆積させる。このとき、CVD酸化膜3の膜厚は例えば400 $\text{\AA}$ とする。なお、CVD酸化膜3の種類としては、TEOS酸化膜、若しくはHTO酸化膜等を用いる。

【0033】

その後、窒素雰囲気中で、例えば1050℃、30分にてアニール処理を行う。これにより、CVD酸化膜3の膜質を改善させる。

【0034】

〔図2(b)に示す工程〕

続いて、CVD酸化膜3の表面上に、CVD法により、窒化膜(シリコン窒化膜)4を堆積させる。このとき、窒化膜4の膜厚は例えば100Åとする。

【0035】

〔図3(a)に示す工程〕

そして、酸化雰囲気中で、例えば、950℃、80分にて熱酸化処理を行う。これにより、窒化膜4を熱酸化させ、窒化膜4上に熱酸化膜( $\text{SiO}_2$ )5を形成する。このようにして、CVD酸化膜3、窒化膜4、熱酸化膜5が順に積層されたゲート絶縁膜が形成される。

【0036】

〔図3(b)に示す工程〕

その後、このゲート絶縁膜上に、LP-CVD法により、ドーパドシリコンを堆積させることで、ゲート電極6を形成する。

【0037】

このようにして、トレンチゲートが形成される。また、図示しないが、基板1のうち、トレンチゲートと異なる領域に、不純物拡散領域等を形成し、半導体領域板1上に層間絶縁膜、金属配線等を形成することで、半導体装置が製造される。

【0038】

本実施形態では、図2(a)、(b)に示す工程にて、CVD法にて、CVD酸化膜3及び窒化膜4を堆積させている。そして、図3(a)に示す工程にて、窒化膜4を熱酸化することで、窒化膜4上に熱酸化膜5を形成している。したがって、トレンチ2表面にパーティクルが存在していても、パーティクル上に窒化膜4が形成され、更にその窒化膜4上に熱酸化膜5が形成される。このため、パーティクルの影響を受けることなく、均一な膜厚の熱酸化膜5をトレンチ2内壁表面全域に形成することができる。

【0039】

従来では、基板表面に熱酸化膜を形成する前に、パーティクルを除去するための工程が別途必要であった。また、パーティクルを確実に除去するためには、上記した工程を繰り返す必要がある。このため、パーティクル除去の工程では、時間がかかっていた。

【0040】

これに対して、本実施形態では、パーティクルの除去が確実ではなく、パーティクルが残っていても、熱酸化膜を均一に形成することができるので、パーティクル除去工程を簡略化若しくは、省略することができる。

【0041】

また、従来の熱酸化膜の上にCVD酸化膜を形成する方法にて、トレンチ内に、ゲート絶縁膜を形成した場合では、形成されたゲート絶縁膜は、熱酸化膜のみにて形成した場合より、局所的な薄膜化は抑制されるものの、膜厚が厚い部分と薄い部分とが存在していた。

【0042】

これに対して、本実施形態では、堆積させた窒化膜4を熱酸化させることで、熱酸化膜5を形成している。これにより、トレンチ2内に複数の面方位が存在していても、窒化膜4の形成には影響がないので、窒化膜4の膜厚は均一になる。そして、窒化膜4を熱酸化させていることから、トレンチ2内の面方位によらないで、均一な膜厚の熱酸化膜を形成することができる。

【0043】

この結果、形成されたゲート絶縁膜は膜厚が均一であることから、熱酸化膜上にCVD酸化膜を形成した場合と比較して、ゲート耐圧を向上させることができる。

【0044】

また、図4に本実施形態の製造方法により、製造された半導体装置の定電圧TDD B試験

の結果を示す。この図には、参考として、ゲート絶縁膜がCVD酸化膜のみで形成された半導体装置の結果も示している。なお、横軸が故障発生時間であり、縦軸は、故障の発生率を示している。また、このCVD酸化膜の膜厚は本実施形態におけるゲート絶縁膜と同一の膜厚である。

【0045】

ゲート絶縁膜として、CVD酸化膜のみを用いた場合では、偶発故障モードが多発する、つまり、故障の発生時間にばらつきが生じている。この結果より、ゲート絶縁膜がCVD酸化膜で構成されている場合、半導体装置の信頼性に問題があると言える。

【0046】

このことから、熱酸化膜の上にCVD酸化膜を形成する方法では、パーティクルが存在している場合、パーティクル上は、CVD酸化膜のみが形成されている。このため、この方法では、半導体装置の信頼性が低下する可能性がある。 10

【0047】

これに対して、本実施形態の製造方法により形成された半導体装置は、CVD酸化膜のみで形成された場合と比較して、故障が発生する時間のばらつきが少ないことがわかる。したがって、本実施形態の製造方法によれば、信頼性に優れたゲート絶縁膜を形成することができる。

【0048】

また、ゲート酸化膜として、単に熱酸化膜のみを形成する方法において、Aモード不良を抑制するために、従来では、熱酸化の前に、CDE、フッ硝酸エッチング等による等方性エッチングあるいは、犠牲酸化を行う方法が用いられていた。 20

【0049】

しかしながら、トレンチの幅が狭く、深くなっている高アスペクト比（深さ／幅）のトレンチゲートを形成する場合では、等方性エッチング、犠牲酸化によるAモード不良の発生を抑制する効果が小さい。特にトレンチ幅が1μm、深さが30μmのときよりもアスペクト比が大きな場合、すなわち、アスペクト比が30以上のトレンチのときに、Aモード不良の発生を抑制する効果が小さいことが本発明者らの実験よりわかった。

【0050】

これに対して、本実施形態では、トレンチ幅及び深さが、それぞれ例えば0.8μm、30μmであり、アスペクト比が37.5である高アスペクト比のトレンチゲートを形成しても、Aモード不良を抑制することができる。 30

【0051】

なお、この等方性エッチングや犠牲酸化は、本実施形態においても、トレンチ2内壁を平坦化するために行っている。

【0052】

従来では、等方性エッチング及び犠牲酸化により、トレンチ内壁の表層のうち、表面から例えば、0.2μmの厚さ分を除去していた。このため、この工程を行った後では、行う前よりもトレンチ幅は0.4μm広がってしまう。このように、従来では、パーティクルを除去するために、一回あたりの除去量が多い。また、確実にパーティクルを除去するために、繰り返し、トレンチ表層をエッチングすることもある。このため、この工程の後では、アスペクト比が低下してしまっていた。 40

【0053】

これに対して、本実施形態では、アスペクト比を大きく低下しないように、かつ、トレンチ2内壁の平坦化に十分な厚さ、例えば、0.05μmの厚さ分だけ、トレンチ2内壁の表層を除去している。これにより、アスペクト比を大きく低下させることなく、高アスペクト比を維持したままトレンチゲートを形成することができる。

【0054】

なお、本実施形態では、アスペクト比が30以上であるトレンチゲートを形成する場合に有効である。

【0055】



(第2実施形態)

第1実施形態では、基板1表面にCVD酸化膜3、窒化膜4を堆積し、窒化膜4の一部を熱酸化すること、窒化膜4上に熱酸化膜5を形成し、ゲート絶縁膜として、いわゆるONO膜を形成していたが、基板1表面上に熱酸化膜のみを形成することもできる。

【0056】

図5、6に本実施形態における半導体装置の製造工程を示す。なお、第1実施形態と同一の部位は同一の符号を付している。

【0057】

まず、第1実施形態と同様に、図1に示す工程にて、基板1表面にトレンチ2を形成する。

【0058】

続いて、図5(a)に示す工程では、トレンチ2内壁上に、例えばLP-CVD法により、酸化することができる窒化膜(シリコン窒化膜)11を堆積させる。このとき、窒化膜11の膜厚は、例えば、500Åとする。

【0059】

次に、図5(b)に示す工程では、例えば酸化雰囲気中で、950℃にて、熱酸化を行うこと、窒化膜11を全て熱酸化膜( $\text{SiO}_2$ )12とする。これにより、基板表面に直接、熱酸化膜12が形成される。

【0060】

その後、図6に示すように、熱酸化膜12上にゲート電極6を形成する。

【0061】

このように、窒化膜11を全て熱酸化膜12とすることもでき、これによっても第1実施形態と同様の効果を有する。

【0062】

なお、窒化膜4が特許請求の範囲に記載している酸化されることができる材料である。この酸化されることができる材料としては、窒化膜11に限らず、例えば、多結晶シリコンやアモルファスシリコンを用いることができる。また、その他にもSiを成分として有し、熱酸化すること、熱酸化膜を形成することができる材料であれば用いることができる。

【0063】

また、図5(b)に示す工程にて、熱酸化膜12を形成した後、図示しないが、この熱酸化膜12上に窒化膜を形成し、さらに、この窒化膜上に酸化膜を形成しても良い。これにより、第1実施形態と同様に、ゲート絶縁膜をONO膜とすることもできる。

【0064】

また、窒化膜11を全て熱酸化せず、窒化膜11の表層部を熱酸化し、窒化膜11上に熱酸化膜が形成された構造とすることもできる。

【0065】

(他の実施形態)

なお、第1実施形態では、トレンチ2内壁上に、CVD酸化膜3及び窒化膜4を堆積しており、また、第2実施形態では、トレンチ2内壁上に、窒化膜11を堆積していた。

【0066】

このとき、トレンチ2内壁表面とこの表面上に堆積された材料との界面における準位を低減するために、例えば、トレンチ2内壁表面を熱酸化すること、数nmほどの膜厚の熱酸化膜を形成しても良い。ただし、この熱酸化膜は、形成されたゲート絶縁膜の膜厚に影響が無い程度、すなわち、誤差範囲に収まる程度の膜厚にする。

【0067】

また、上記した各実施形態では、トレンチゲートを有する半導体装置の場合を例として、説明してきたが、トレンチゲートに限らず、平面構造のゲート電極を有する半導体装置においても、本発明を適用することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態における半導体装置の製造工程を示す図である。

【図 2】図 1 に続く半導体装置の製造工程を示す図である。

【図 3】図 2 に続く半導体装置の製造工程を示す図である。

【図 4】本発明の第 1 実施形態における半導体装置及びゲート絶縁膜が CVD 酸化膜のみにて構成された半導体装置の定電圧 TDD 試験結果を示す図である。

【図 5】本発明の第 2 実施形態における半導体装置の製造工程を示す図である。

【図 6】図 5 に続く半導体装置の製造工程を示す図である。

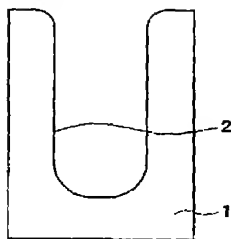
【図 7】従来におけるトレンチゲートを有する半導体装置のうち、トレンチゲートが形成されている領域の第 1 の例としての断面図である。

【図 8】従来におけるトレンチゲートを有する半導体装置のうち、トレンチゲートが形成されている領域の第 2 の例としての断面図である。 10

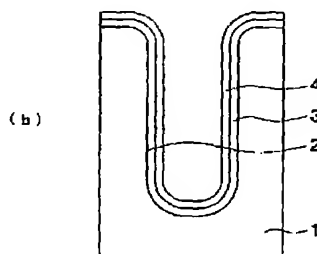
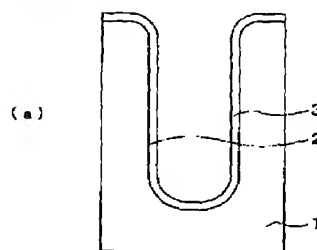
【符号の説明】

1 シリコン基板、2 トレンチ、3、15 CVD 酸化膜、  
4、11 窒化膜、5、12、13、14 熱酸化膜、6 ゲート電極。

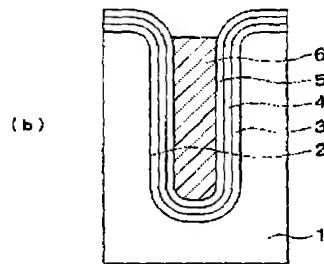
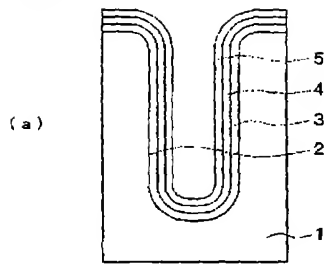
【図 1】



【図 2】

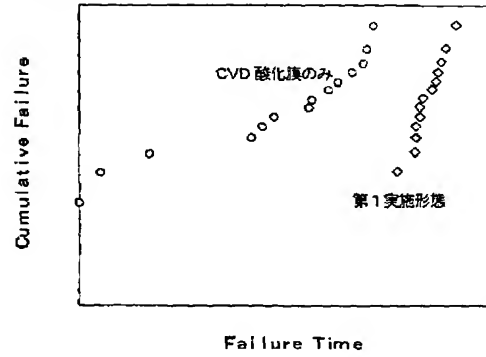


【図 3】

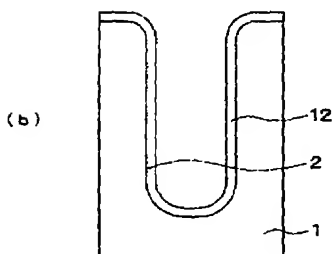
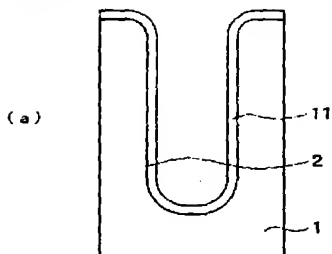


- 1: 基板  
2: トレンチ  
3: CVD 酸化膜  
4: 窒化膜  
5: 熱酸化膜  
6: ゲート電極

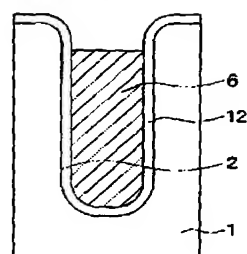
【図 4】



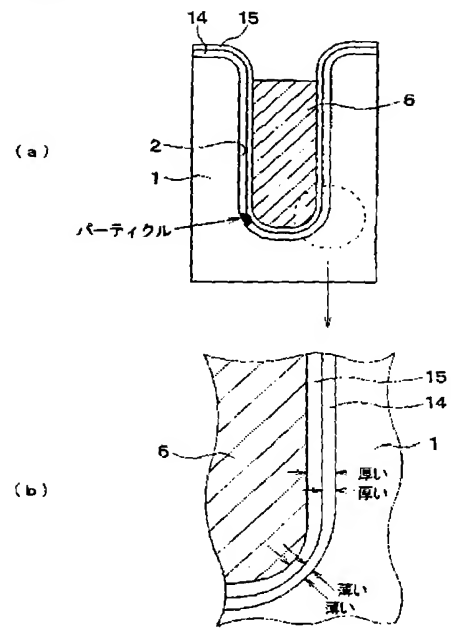
【図 5】



【図 6】



【圖 8】



---

フロントページの続き

Fターム(参考) 5F058 BA20 BD02 BD04 BD09 BF02 BF55 BF62 BJ04  
5F140 AA19 BA01 BD02 BD05 BD06 BD07 BE03 BE07 BE10 BF01  
BF04 BF43 BG28